

20-
1030460

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
SERGIO ET AL.

Serial No. 09/994,384 ²⁶¹²

Confirmation No. 7289 ²⁸⁷⁷

Filing Date: **NOVEMBER 26, 2001**

For: **METHOD OF READING A CAPACITIVE
SENSOR AND RELATED INTEGRATED
CIRCUIT**

RECEIVED

DEC 03 2002

Technology Center 2800

RECEIVED
APR 11 2002
1C 2830 MAIL ROOM

Best Available Copy



TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the
priority European Application No. 00830780.3.

Respectfully submitted,

PAUL J. DITMYER
Reg. No. 40,455
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: DIRECTOR, U.S. PATENT AND
TRADEMARK OFFICE, WASHINGTON, D.C. 20231, on this 19th day of
March, 2002.

Ⓐ 1/



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

09/994384

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

00830780.3

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

RECEIVED

DEC 03 2002

Technology Center 2600

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

DEN HAAG, DEN
THE HAGUE, 21/11/01
LA HAYE, LE



**Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation**

Anmeldung Nr.:
Application no.:
Demande n°: **00830780.3**

Anmeldetag:
Date of filing:
Date de dépôt: **28/11/00**

Anmelder:
Applicant(s):
Demandeur(s):
**STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY**

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:
Method of reading a capacitive sensor and related integrated circuit

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:	Tag:	Aktenzeichen:
State:	Date:	File no.
Pays:	Date:	Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:
G01D5/24

Am Anmeldetag benannte Vertragstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LU/LU/MC/NL/PT/SE/TR
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

See for original title of the application page 1 of the description

Italian Text Pursuant to Art. 14.2

“METODO DI LETTURA DI UN SENSORE CAPACITIVO E RELATIVO CIRCUITO INTEGRATO”

CAMPO DELL'INVENZIONE

- 5 La presente invenzione concerne in generale i sensori capacitivi, e più in particolare un metodo e un sistema integrato di lettura di una pluralità di condensatori di un sensore capacitivo a matrice di condensatori.

BACKGROUND DELL'INVENZIONE

- 10 I sensori capacitivi sono dispositivi largamente utilizzati come sensori di contatto o sensori di pressione. Secondo una particolare forma di realizzazione, possono comprendere uno schieramento di condensatori ordinati in righe e colonne connessi tramite linee (o armature) di riga e di colonna, come schematicamente mostrato in Fig. 1.

- 15 Tali sensori permettono di ottenere una mappa di distribuzione della pressione su una superficie anche relativamente ampia. In questi sensori, la capacità di ogni singolo condensatore dipende dal grado di deformazione dello strato dielettrico del condensatore, sollecitabile dalla pressione esercitata sullo strato dielettrico. Leggendo quindi i valori delle capacità dei condensatori dello schieramento, si ottiene una “matrice” di valori (“quadro”) identificante la distribuzione spaziale
20 del campo di pressione sul sensore.

Il campo di pressione può poi essere agevolmente visualizzato mediante un'immagine in livelli di grigio, in cui la luminanza di ogni pixel è funzione della capacità misurata di un rispettivo condensatore dello schieramento.

- 25 Alcuni problemi da risolvere si pongono per realizzare sistemi di lettura di tali sensori capacitivi che abbiano una buona precisione e un'ampia flessibilità di impiego, unitamente ad un basso costo. La precisione di tali sistemi di lettura è limitata dal fatto che la lettura di un condensatore dello schieramento è disturbata

dalla presenza degli altri condensatori e da capacità parassite tra righe e colonne vicine. La somma di tutte le capacità che disturbano la lettura può anche essere di 2 o 3 ordini di grandezza superiore alla capacità da rilevare. Inoltre un sistema utilizzabile in una grande quantità di casi deve funzionare anche se è necessario
5 variare di volta in volta il numero di righe e colonne dello schieramento, a seconda della particolare applicazione.

SCOPO E SOMMARIO DELL'INVENZIONE

È stato trovato ed è l'oggetto della presente invenzione un metodo e un sistema di lettura di un sensore capacitivo che non è affetto dai summenzionati problemi. Il
10 sistema dell'invenzione è realizzabile in forma monolitica e a basso costo e può essere usato anche con sensori aventi diversi numeri di righe e colonne.

Più precisamente l'oggetto dell'invenzione è un metodo di lettura di un sensore capacitivo costituito da uno schieramento di condensatori ordinati in righe e colonne funzionalmente connessi tramite linee di riga, ciascuna elettricamente
15 costituente una prima armatura comune a tutti i condensatori di una riga, e da linee di colonna, ciascuna elettricamente costituente una seconda armatura comune a tutti i condensatori di una colonna. I due ordini di armature risultano ortogonali o quasi ortogonali tra loro, impiegando un circuito di polarizzazione e lettura di capacità comprendente circuiti di selezione di una linea di colonna e di
20 una linea di riga, un amplificatore di carica produttore una tensione di uscita rappresentativa della capacità del condensatore individuato dalle linee di colonna e di riga selezionate, comprendente le seguenti fasi:

- (a) azzerare preliminarmente la tensione di uscita dell'amplificatore;
- (b) collegare ad un potenziale di riferimento le armature riga e colonna
25 deselezionate dello schieramento collegando un condensatore ausiliario in retroazione al condensatore individuato in ingresso all'amplificatore o viceversa;
- (c) applicare una tensione a gradino sul condensatore collegato in ingresso all'amplificatore rilevando, in condizioni stazionarie, la tensione di uscita.

Il metodo di lettura dell'invenzione prevede la scansione di tutti i condensatori dello schieramento, per ottenere altrettanti valori di capacità del sensore. Tale "matrice" di valori può essere periodicamente aggiornata con una certa frequenza "di quadro", in modo da evidenziare il mutare nel tempo della mappa di
5 distribuzione della pressione sull'area del sensore.

Il metodo dell'invenzione può essere convenientemente implementato da un sistema integrato di lettura di un sensore capacitivo, quale quello descritto in precedenza, comprendente

- (a) un'interfaccia di ingresso connessa ad un sensore capacitivo, collegante ad un
10 potenziale di riferimento le armature riga e le armature colonna deselezionate dello schieramento e collegante al sistema un condensatore individuato dalla riga e dalla colonna selezionate;
- (b) un circuito di polarizzazione e lettura accoppiato al condensatore individuato,
15 producente una tensione rappresentativa della capacità da leggere, secondo il metodo dell'invenzione;
- (c) un convertitore analogico-digitale convertente la tensione rappresentativa in un corrispondente vettore di bit;
- (d) un'unità a microprocessore controllante il funzionamento dei circuiti del sistema;
- 20 (e) un'interfaccia funzionalmente accoppiata all'unità a microprocessore inviante all'esterno i valori di capacità rilevati.

L'invenzione è più precisamente definita nelle rivendicazioni allegate.

BREVE DESCRIZIONE DEI DISEGNI

I diversi aspetti e vantaggi dell'invenzione risulteranno ancor più evidenti dalla
25 descrizione dettagliata di alcune forme di realizzazione facendo riferimento ai disegni allegati nei quali:

la **Figura 1** illustra uno schieramento di condensatori di un sensore capacitivo;
la **Figura 2** è uno schema funzionale di una realizzazione preferita del sistema integrato dell'invenzione;

- la Figura 3 mostra in maggior dettaglio lo stadio di ingresso del sistema dell'invenzione;
- la Figura 4 illustra un primo circuito di polarizzazione e lettura implementante una prima versione del metodo dell'invenzione;
- 5 la Figura 5 illustra un altro circuito di polarizzazione e lettura implementante una seconda versione del metodo dell'invenzione;
- la Figura 6 è uno schema di un circuito di polarizzazione e lettura preferito implementante entrambe le versioni del metodo dell'invenzione;
- la Figura 7 è uno schema funzionale dell'interfaccia di ingresso del sistema
- 10 dell'invenzione;
- la Figura 8 è una possibile realizzazione del circuito di connessione al condensatore da leggere dell'interfaccia di ingresso.

DESCRIZIONE DI ALCUNE REALIZZAZIONI PREFERITE DELL'INVENZIONE

- Un'architettura preferita del sistema dell'invenzione, facilmente realizzabile in
- 15 forma integrata, è illustrata in Fig. 2 mediante blocchi funzionali. Essa è costituita da uno stadio di ingresso, uno stadio di elaborazione e controllo e un'interfaccia digitale di uscita DIGITAL/O.

- Lo stadio di ingresso comprende un'interfaccia di ingresso ANAIO accoppiata al condensatore C_{PIX} da leggere, da un circuito di polarizzazione e lettura READOUT
- 20 producente una tensione V_O rappresentativa della capacità del condensatore letto e da un convertitore analogico-digitale ADC trasformante la tensione V_O in un corrispondente vettore di bit.

- Lo stadio di elaborazione e controllo, accoppiato allo stadio di ingresso mediante un bus INTERNAL PERIPHERAL BUS, comprende un'unità a microprocessore
- 25 COMPUTING CORE, controllante il funzionamento del sistema, e opzionalmente un generatore di forme d'onda WAVEFORM GENERATOR.

Tale generatore, controllato anch'esso dall'unità a microprocessore, fornisce dei segnali che scandiscono le varie fasi di funzionamento del circuito READOUT e la conversione analogico-digitale della tensione V_O . Esso non è essenziale per il

funzionamento del circuito, ma il suo uso risulta essere particolarmente vantaggioso, in quanto fornisce la possibilità di programmare nel modo desiderato la generazione di tali segnali. Un generatore di forme d'onda adatto allo scopo può essere molto semplicemente realizzato con un registro circolare configurato da una macchina a stati finiti controllata dall'unità a microprocessore.

Lo stadio di ingresso è illustrato in maggior dettaglio in Fig. 3. L'interfaccia ANAIO, accoppiata attraverso alcuni piedini del chip al sensore capacitivo, collega al circuito READOUT solo una riga e una colonna di condensatori del sensore.

Due possibili realizzazioni del circuito di polarizzazione e lettura sono esemplificate nelle Figg. 4 e 5. In esse si nota la presenza di un amplificatore di carica, che è il cuore del circuito READOUT, costituito da un amplificatore operativo con un terminale a massa e l'altro terminale connesso a condensatori di ingresso e di reazione.

Facendo riferimento alla Fig. 4, il condensatore di ingresso è il condensatore da leggere C_{PIX} , mentre il condensatore di reazione è un condensatore ausiliario C_R . Per leggere la capacità di C_{PIX} si usa il metodo dell'invenzione comprendente le seguenti operazioni:

- (a) azzerare la tensione V_O chiudendo l'interruttore S1;
- (b) collegare ad un potenziale di riferimento le armature riga e le armature colonna deselezionate;
- (c) applicare una tensione a gradino V_I sul condensatore collegato in ingresso all'amplificatore rilevando, in condizioni stazionarie, la tensione V_O .

La tensione V_O subisce in questo modo una variazione ΔV_O proporzionale alla variazione ΔV_I della tensione V_I , secondo la seguente formula:

$$\Delta V_O = \Delta V_I \cdot \frac{C_{PIX}}{C_R}$$

Il fatto di aver connesso a massa tutte le righe e colonne deselezionate consente di

annullare l'iniezione di carica dai condensatori vicini a quello selezionato e dalle capacità parassite C_{COL} e C_{ROW} , nel condensatore di reazione C_R .

È anche possibile leggere la capacità C_{PIX} con il metodo esposto collegando in reazione il condensatore da leggere e in ingresso il condensatore ausiliario C_R ,
5 come illustrato in Fig. 5. In quest'ultimo caso si avrà una variazione della tensione di uscita ΔV_O data da

$$\Delta V_O = \Delta V_I \cdot \frac{C_R}{C_{PIX}}$$

cioè la tensione di uscita presenta una variazione inversamente proporzionale alla capacità selezionata C_{PIX} .

10 Le due configurazioni delle Figg. 4 e 5 possono essere realizzate con un unico circuito come quello di Fig. 6 in cui, commutando gli interruttori comandati dal segnale logico FEEDBACK, si collega il condensatore da leggere C_{PIX} in ingresso e il condensatore ausiliario C_R in reazione all'amplificatore di carica o viceversa.

Al fine di rendere l'interfaccia di ingresso ANAIO adatta a sensori costituiti da un
15 qualsivoglia numero di righe e colonne, essa può essere convenientemente realizzata, come mostrato in Fig. 7, mediante una pluralità di circuiti di connessione ANAIOCIRCUIT uguali, connessi ad un rispettivo piedino, controllati da una logica di selezione ANAIOCONTROL. I circuiti di connessione ANAIOCIRCUIT, realizzati ad esempio come illustrato in Fig. 8, collegano la
20 rispettiva riga o colonna dello schieramento ad un potenziale di riferimento oppure al circuito di polarizzazione e lettura READOUT, in funzione di segnali di selezione ISIN, SELTHIS prodotti dalla logica di selezione, che è a sua volta controllata dall'unità a microprocessore.

Realizzando in questo modo l'interfaccia di ingresso, è possibile utilizzare uno
25 stesso sistema integrato dell'invenzione per sensori capacitivi aventi un qualsivoglia numero di righe e colonne di condensatori, purché la somma del numero di righe e del numero di colonne non ecceda il numero di canali di

ingresso del sistema. Se ci sono più circuiti di connessione che righe e colonne dello schieramento di condensatori, i circuiti di connessione non collegati pongono al potenziale di riferimento i rispettivi piedini, come se fossero connessi a righe o colonne deselezionate, senza modificare il normale funzionamento del sistema.

Opzionalmente, il metodo dell'invenzione può essere applicato scandendo sequenzialmente i condensatori dello schieramento, producendo una matrice di valori rappresentante la distribuzione della grandezza rilevata dal sensore capacitivo. Tale scansione sequenziale può essere ripetuta con una desiderata frequenza ("frequenza di quadro") in modo da avere un'immagine continuamente aggiornata della mappa di distribuzione delle capacità del sensore.

La matrice di valori così prodotta può essere sottoposta a filtraggio del rumore e a processi di correzione quali la correzione gamma ("gamma correction") e il "fixed pattern noise cancellation" da parte dell'unità a microprocessore, prima di essere inviata all'esterno dall'interfaccia digitale di uscita DIGITAL/O. A tale scopo, l'unità a microprocessore sarà convenientemente provvista di una memoria scrivibile RAM in cui registrare i valori di capacità calcolati, oltre che di una memoria non scrivibile ROM contenenti informazioni concernenti la configurazione del sistema e il protocollo di comunicazione.

RIVENDICAZIONI

1. Metodo di lettura di un sensore capacitivo costituito da uno schieramento di condensatori ordinati in righe e colonne funzionalmente connessi tramite linee di riga, ciascuna elettricamente costituente una prima armatura
5 comune a tutti i condensatori di una riga, e da linee di colonna, ciascuna elettricamente costituente una seconda armatura comune a tutti i condensatori di una colonna, ortogonali o quasi ortogonali tra loro, impiegando un circuito di polarizzazione e lettura (READOUT) di capacità comprendente circuiti di selezione di una linea di colonna e di una linea di riga, un amplificatore di carica producente
10 una tensione di uscita (V_O) rappresentativa della capacità del condensatore individuato da dette linee di colonna e di riga selezionate, comprendente le seguenti fasi:

azzerare preliminarmente la tensione di uscita (V_O) di detto amplificatore;
collegare ad un potenziale di riferimento le armature riga e le armature
15 colonna deselezionate di detto schieramento collegando un condensatore ausiliario (C_R) in retroazione a detto condensatore individuato (C_{PIX}) in ingresso all'amplificatore o viceversa;
applicare una tensione a gradino (V_I) sul condensatore collegato in ingresso all'amplificatore rilevando, in condizioni stazionarie, detta tensione di
20 uscita (V_O).

2. Il metodo della rivendicazione 1, in cui la lettura del sensore è effettuata scandendo sequenzialmente tutti i condensatori dello schieramento, ottenendo altrettanti valori di capacità del sensore.

3. Il metodo della rivendicazione 2, in cui l'operazione di lettura delle
25 capacità di tutti i condensatori dello schieramento è ripetuta con una certa frequenza di quadro.

4. Sistema integrato di lettura di un sensore capacitivo costituito da uno schieramento di condensatori ordinati in righe e colonne funzionalmente connessi tramite linee di riga, ciascuna elettricamente costituenti una prima armatura

comune a tutti i condensatori di una riga, e da linee di colonna, ciascuna elettricamente costituente una seconda armatura comune a tutti i condensatori di una colonna, ortogonali o quasi ortogonali tra loro, comprendente

- 5 un'interfaccia di ingresso (ANAIO) connessa ad un sensore capacitivo, collegante ad un potenziale di riferimento le armature riga e le armature colonna deselezionate di detto schieramento e collegante al sistema un condensatore individuato (C_{PIX}) dalla riga e dalla colonna selezionate;
- 10 un circuito di polarizzazione e lettura (READOUT) accoppiato a detto condensatore individuato (C_{PIX}), produttore una tensione (V_O) rappresentativa della capacità da leggere secondo il metodo di una delle rivendicazioni da 1 a 3, comprendente
 - un amplificatore di carica produttore detta tensione rappresentativa (V_O), avente un ingresso ad un potenziale di riferimento e l'altro ingresso accoppiato al condensatore individuato (C_{PIX}),
 - 15 un condensatore ausiliario (C_R) accoppiato all'altro ingresso di detto amplificatore di carica,
 - commutatori colleganti detto condensatore ausiliario (C_R) in reazione e detto condensatore individuato (C_{PIX}) in ingresso a detto amplificatore di carica o viceversa;
 - 20 un convertitore analogico-digitale (ADC) convertente detta tensione rappresentativa (V_O) in un corrispondente vettore di bit;
 - un'unità a microprocessore (COMPUTING CORE) controllante il funzionamento dei circuiti di detto sistema ed effettuante operazioni di filtraggio del rumore e correzione dei valori letti;
 - 25 un'interfaccia digitale di uscita (DIGITALI/O) funzionalmente accoppiata a detta unità a microprocessore inviante all'esterno i valori di capacità rilevati.

- 5. Il sistema secondo la rivendicazione 4, comprendente inoltre un generatore di forme d'onda (WAVEFORM GENERATOR), controllato da detta unità a
- 30 microprocessore, fornente al circuito di polarizzazione e lettura (READOUT) e al convertitore (ADC) segnali logici che scandiscono le varie fasi di funzionamento

del circuito di polarizzazione e lettura (READOUT) e la conversione analogico-digitale della tensione di uscita (V_O).

6. Il sistema della rivendicazione 5 in cui detto generatore di forme d'onda (WAVEFORM GENERATOR) comprende

- 5 un registro a scorrimento produttore ciclicamente detti segnali logici con una certa frequenza;
una macchina a stati finiti, controllata dall'unità a microprocessore, configurante in un modo desiderato detto registro a scorrimento.

7. Il sistema secondo una delle rivendicazioni da 4 a 6 in cui detta
10 interfaccia di ingresso (ANAIO) comprende

- una pluralità di circuiti di connessione (ANAIOCIRCUIT) uguali colleganti ad un potenziale di riferimento le armature riga e le armature colonna deselezionate, e al circuito di polarizzazione e lettura detto condensatore individuato (C_{PIX}), in funzione di segnali di selezione
15 (ISIN, SELTHIS);
una logica di selezione (ANAIOCONTROL) controllata da detta unità a microprocessore (COMPUTING CORE) produttore detti segnali di selezione (ISIN, SELTHIS).

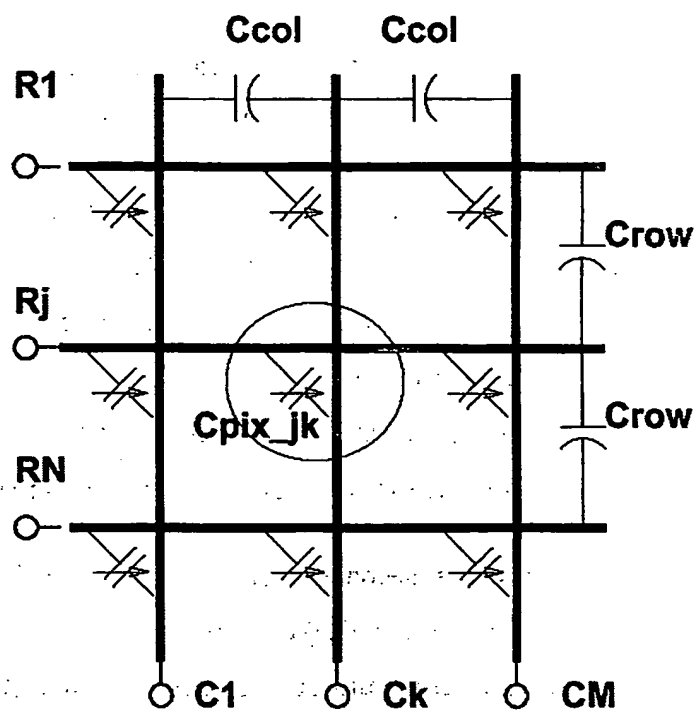


FIG. 1

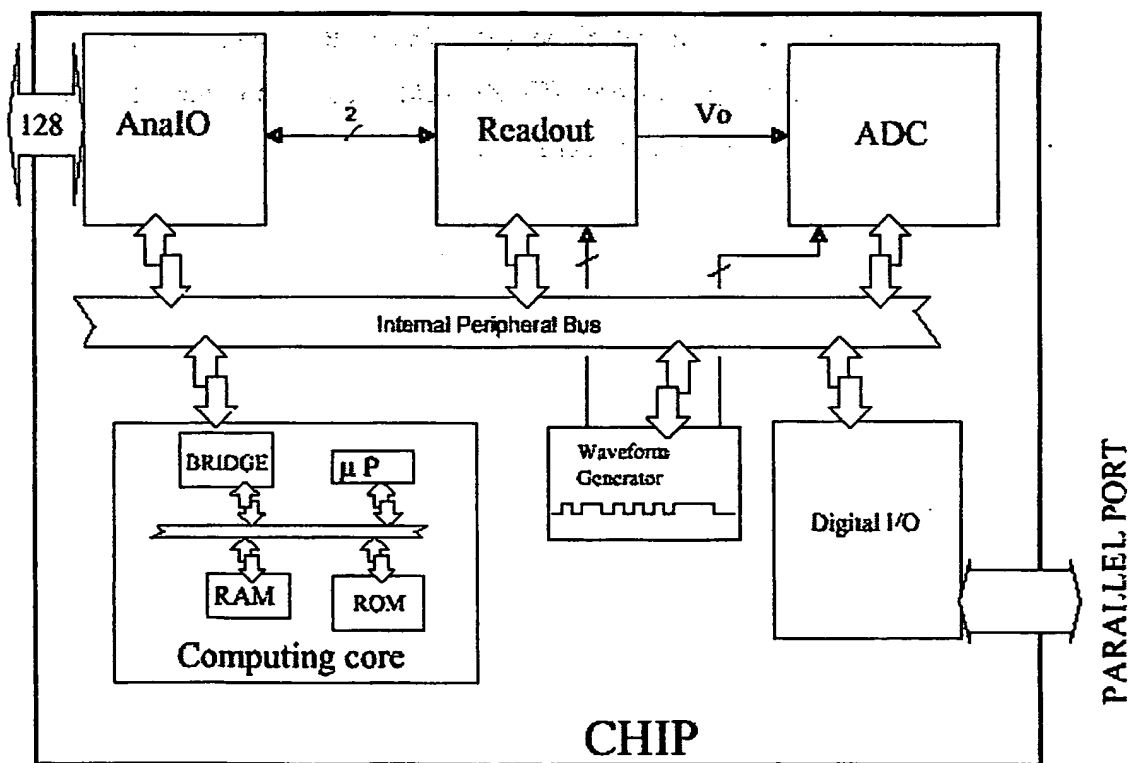


FIG. 2

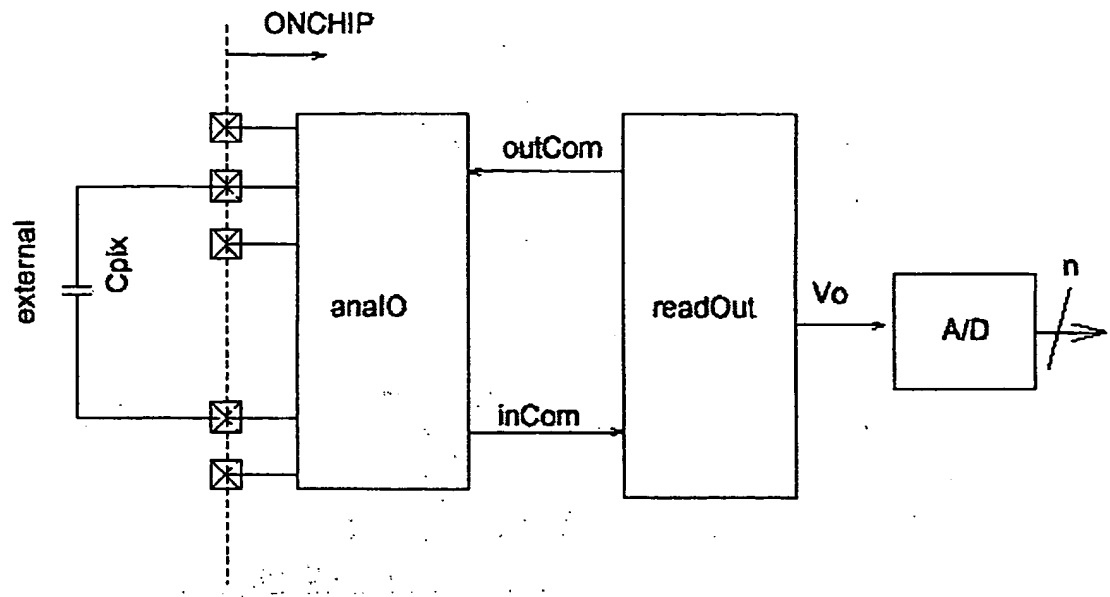


FIG. 3

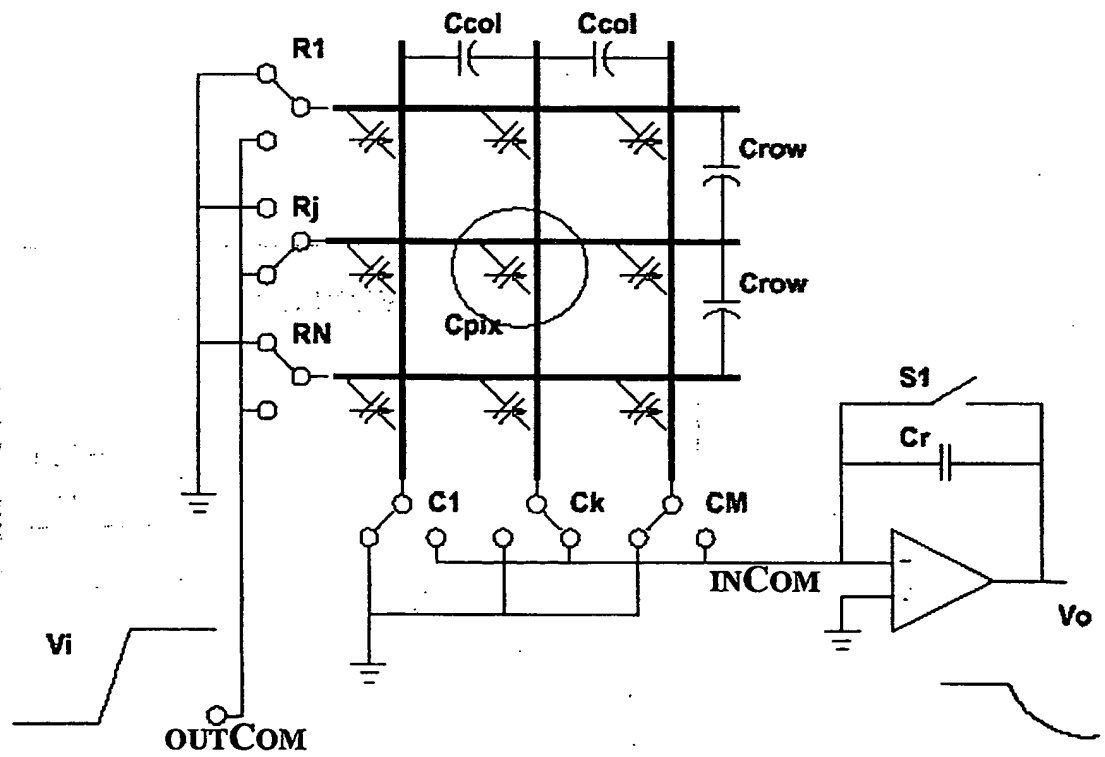


FIG. 4

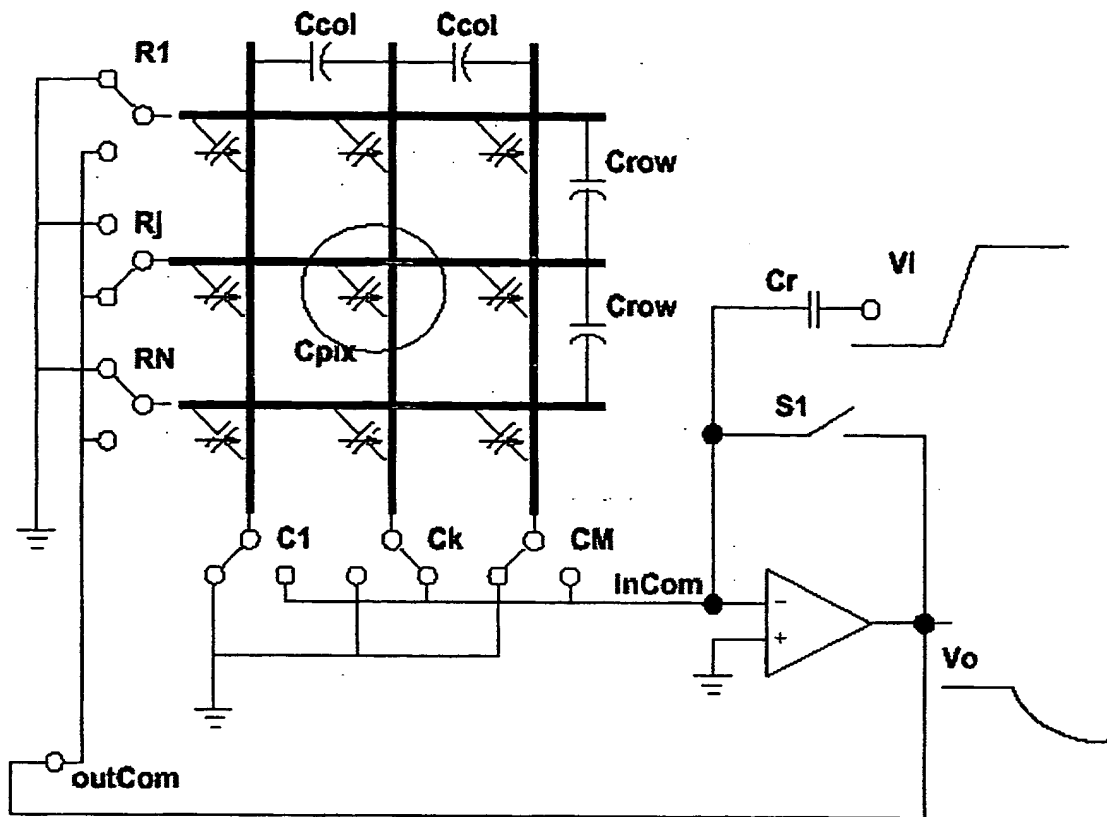


FIG. 5

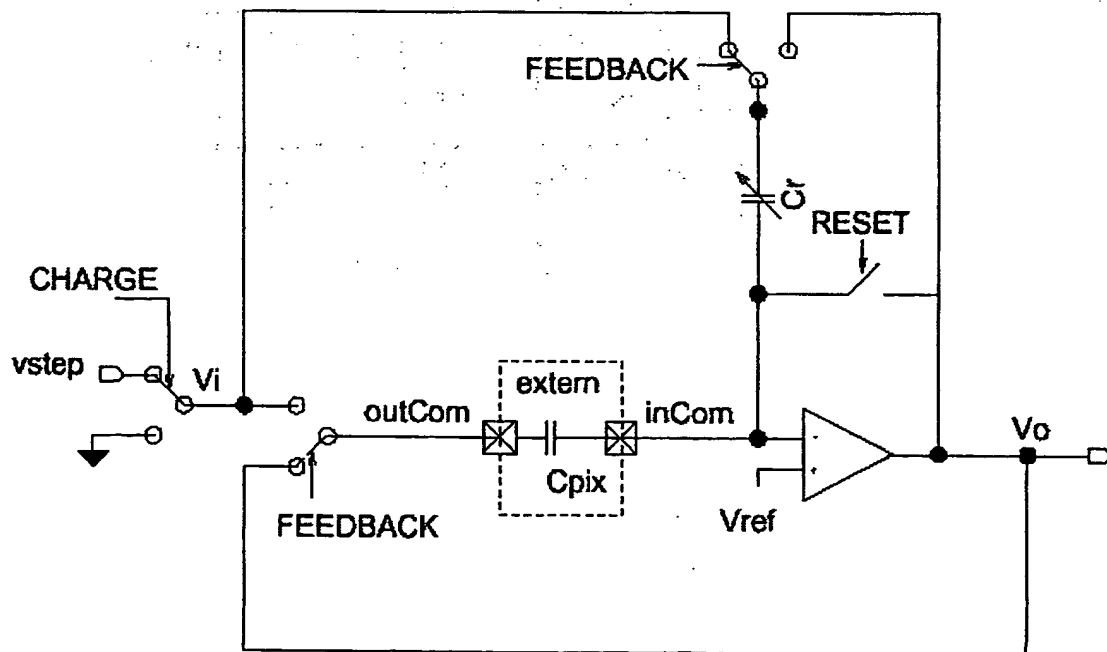


FIG. 6

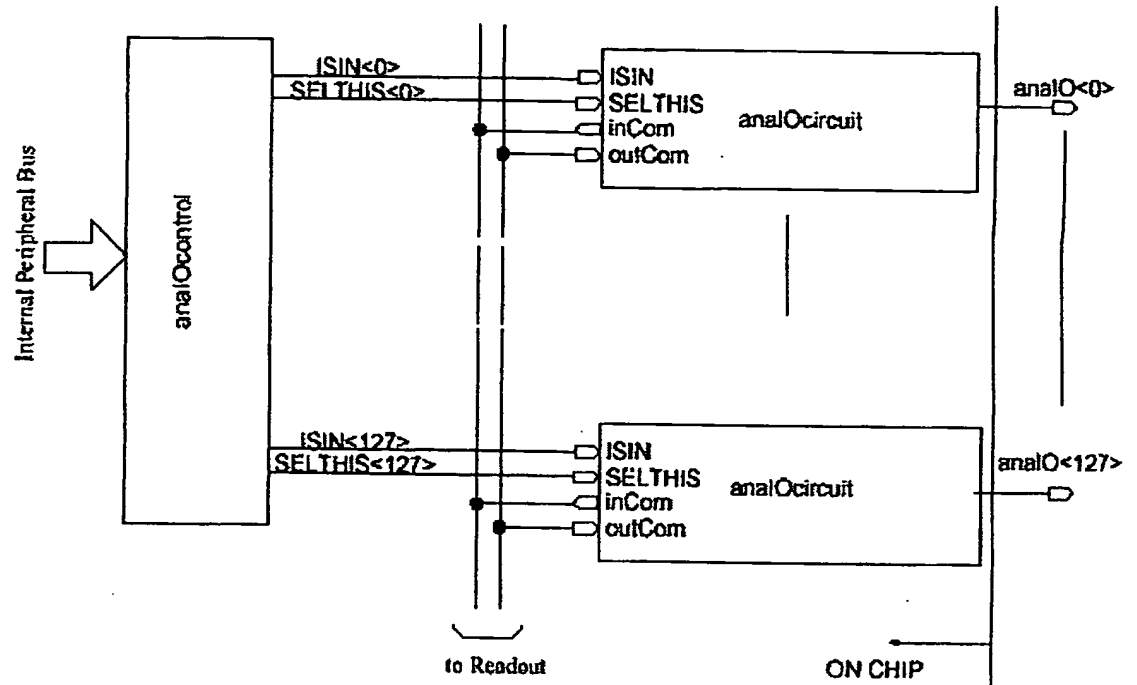


FIG. 7

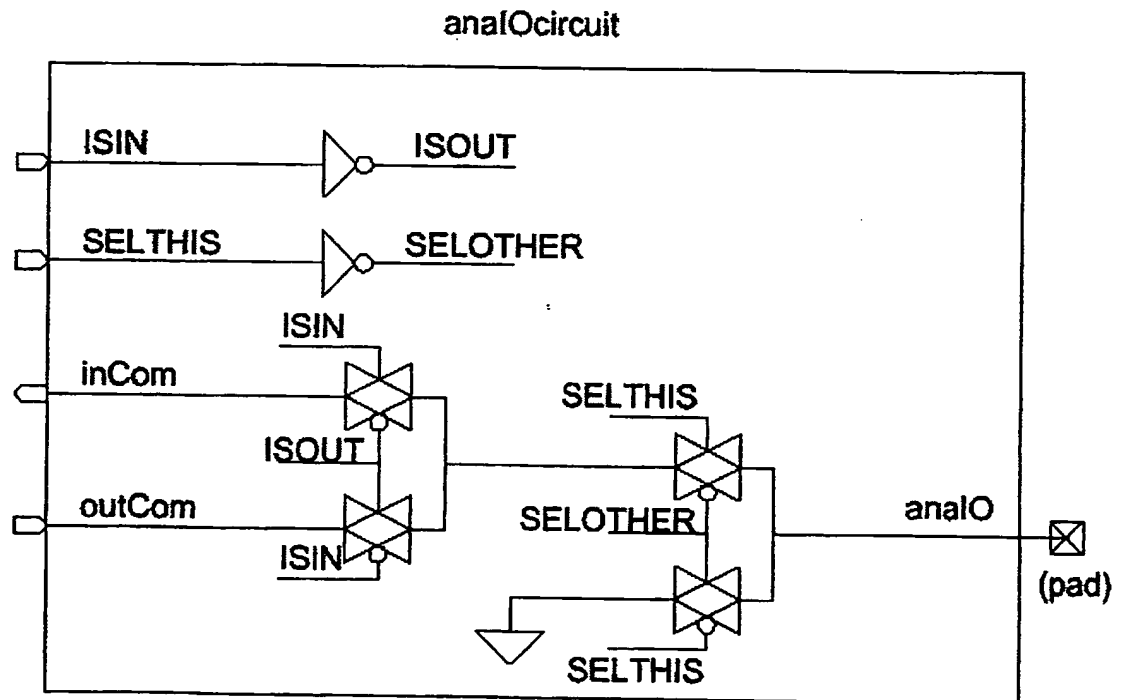


FIG. 8

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.